

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04385420      \*\*Image available\*\*

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.:      **06-029320** [JP 6029320 A]

PUBLISHED:      February 04, 1994 (19940204)

INVENTOR(s):      NOGUCHI TAKASHI

APPLICANT(s):      SONY CORP [000218] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      04-183896 [JP 92183896]

FILED:      July 10, 1992 (19920710)

INTL CLASS:      [5] H01L-021/336; H01L-029/784; H01L-021/20; H01L-021/268

JAPIO CLASS:      42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:      R002 (LASERS); R096 (ELECTRONIC MATERIALS -- Glass  
Conductors); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL:      Section: E, Section No. 1544, Vol. 18, No. 238, Pg. 101, May  
06, 1994 (19940506)

#### **ABSTRACT**

**PURPOSE:** To enhance performance by more effectively making a quality of a film in an active region uniform to suppress an irregularity in mobility, etc., of a thin film transistor when a polycrystalline silicon thin film of large grain size is formed to make up the transistor.

**CONSTITUTION:** A method for manufacturing a thin film transistor has the steps of generating dot-like crystal growing nuclei 5 at a predetermined position on an amorphous silicon thin film 2, and solid crystallizing it to form a silicon thin film 13, and forming the nuclei 5 in the vicinity out of a region to be formed with an active region of the transistor, and solid crystallizing it.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-29320

(43) 公開日 平成6年(1994)2月4日

(51) Int. Cl. <sup>5</sup>	識別記号	F I
H01L 21/336		
29/784		
21/20	9171-4M	
21/268	Z 8617-4M	
	9056-4M	
	H01L 29/78	311 Y
	審査請求	未請求 請求項の数2 (全4頁)

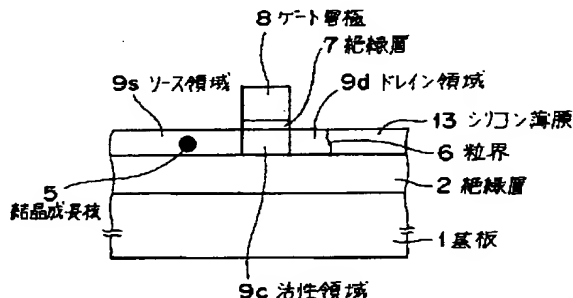
(21) 出願番号	特願平4-183896	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成4年(1992)7月10日	(72) 発明者	野口 隆 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74) 代理人	弁理士 松隈 秀盛

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【目的】 大粒径の多結晶シリコン薄膜を形成して薄膜トランジスタを形成する場合に、より確実に活性領域内の膜質を均一化してトランジスタの移動度 $\mu$ 等のばらつきを抑えて、高性能化をはかる。

【構成】 非晶質シリコン薄膜2上の所定の位置に点状の結晶成長核5を発生させて固相結晶化してシリコン薄膜13を形成する薄膜トランジスタの製造方法において、結晶成長核5を、薄膜トランジスタの活性領域が形成される領域外の近傍に形成して、固相結晶化を行う。



薄膜トランジスタの製造方法の一例の工程図

## 【特許請求の範囲】

【請求項 1】 非晶質シリコン薄膜上の所定の位置に点状の結晶成長核を発生させて固相結晶化してシリコン薄膜を形成する薄膜トランジスタの製造方法において、上記結晶成長核を、上記薄膜トランジスタの活性領域が形成される領域外の近傍に形成して、固相結晶化を行うことを特徴とする薄膜トランジスタの製造方法。

【請求項 2】 非晶質シリコン薄膜上の所定の位置に点状の結晶成長核を発生させて固相結晶化してシリコン薄膜を形成する薄膜トランジスタの製造方法において、上記結晶成長核をソース領域もしくはドレイン領域に形成して、固相結晶化を行うことを特徴とする薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタの製造方法、特にシリコン薄膜を用いた薄膜トランジスタの製造方法に係わる。

## 【0002】

【従来の技術】 高抵抗負荷型の S R A M (スタティック・ランダム・アクセス・メモリ) 等において、動作マージン、信頼性、スタンバイ電流等を十分に確保するために、膜質の均一性に優れた多結晶シリコンに形成した薄膜トランジスタ (T F T) を負荷素子として用いた積層型の S R A M が提案されている。

【0003】 多結晶シリコンは例えば通常の化学的気相成長 (C V D) 法により形成することができるが、特に比較的結晶粒の大なる多結晶シリコン膜を形成しようとする場合、膜質の均一性に優れ且つ低リークで高移動度を有する膜を形成することが難しい。これに対し、ランダム固相成長法、或いは低濃度にイオンを注入した後レジストマスクを介して選択的に高濃度にイオンを注入して結晶成長核を発生させ、この後低温固相成長を行う選択的成長方法等が提案されている。このような固相成長結晶化 (S P C : Solid Phase Crystallization) 技術は、多結晶シリコンの大粒径化が可能で、このため高移動度化が可能となり、上述の T F T 積層型 S R A M 等への応用研究試作が盛んになっている。

## 【0004】

【発明が解決しようとする課題】 しかしながら上述のランダム固相成長法による場合は、結晶を選択的に成長させることが難しいので、トランジスタのチャネルが結晶粒界にかかる恐れがあり、この場合リーク電流やしきい電圧にばらつきを生じさせ、トランジスタの信頼性の低下を招く恐れがある。また、選択的成長方法による場合はレジスト被着による表面汚染や、低濃度イオン注入領域の不均一性による膜質の不均一化等を生じる恐れがある。

【0005】 これに対し、本出願人は先に特願平 3-285702 号出願において、基板上の非晶質半導体層の

上面に遮光性マスクを形成した後、このマスクを介して非晶質半導体層にエキシマレーザ光を照射してこの非晶質半導体層に結晶成長核を発生させ、その後低温固相アニール処理を施すことによって結晶成長核より結晶を成長させて非晶質半導体層に単結晶領域を形成する半導体結晶の成長方法を提案した。

【0006】 この方法による場合、品質に優れた単結晶領域を選択的に成長することができて、トランジスタのチャネル層に結晶粒界が形成されず、リーク電流が大幅に低減されて移動度が高くなり、しきい電圧のばらつきを減少させて、トランジスタの信頼性の向上をはかることができる。

【0007】 本発明はこのような方法を用いて大粒径の多結晶シリコン薄膜を形成して薄膜トランジスタを形成する場合に、より確実に活性層内の膜質を均一化してトランジスタの移動度  $\mu$  等のばらつきを抑えて、高性能化をはかることを目的とする。

## 【0008】

【課題を解決するための手段】 本発明は、その一例の製造工程図を図 1 A ~ C に示すように、非晶質シリコン薄膜 2 上の所定の位置に点状の結晶成長核 5 を発生させて固相結晶化してシリコン薄膜 1 3 を形成する薄膜トランジスタの製造方法において、結晶成長核 5 を、薄膜トランジスタの活性領域が形成される領域外の近傍に形成して、固相結晶化を行う。

【0009】 また本発明は、非晶質シリコン薄膜上の所定位置に点状の結晶成長核を発生させて固相結晶化してシリコン薄膜を形成する薄膜トランジスタの製造方法において、図 2 にその一例の略線的拡大断面図を示すように、結晶成長核 5 をソース領域 9 s もしくはドレイン領域 9 d に形成して、固相結晶化を行う。

## 【0010】

【作用】 上述したように本発明によれば、結晶成長核 5 を活性領域 (チャネル領域) 外に形成することから、活性領域を良好で均一な膜質をもって形成することができる。即ちイオン注入やレーザ光照射等により形成した結晶成長核はその後の低温固相化処理によって単結晶とならず微細な結晶粒が形成される場合があり、この結晶成長核を含む領域を単結晶とすることは難しいが、本発明においてはこの結晶成長核 5 を活性領域外の近傍に形成し、この結晶成長核 5 の周辺に生じる単結晶領域内に活性領域が確実に含まれる構成とすることができることから、ここにおける電子移動度  $\mu$  の向上、スイング値 S の低減化等をはかって薄膜トランジスタの性能の向上をはかることができる。

【0011】 また本発明によれば、ソースもしくはドレイン領域 9 s 又は 9 d に結晶成長核 5 を形成することから、同様に活性領域が確実に単結晶領域内に含まれるようになることができ、薄膜トランジスタの性能の向上をはかることができる。

【 0 0 1 2 】

【実施例】本発明の一実施例を図 1 を参照して説明する。この例においては、前述の特願平 3 - 2 8 5 7 0 2 において提案したシリコン薄膜の形成方法を適用した場合で、非晶質シリコン薄膜を形成した後エキシマレーザを照射して結晶成長核を発生させ、その後低温固相アニールを施してシリコン薄膜を形成する場合を示す。

【 0 0 1 3 】 先ず図 1 A に示すように、例えば L P C V D ( 低圧の化学的気相成長 ) 法によって例えば S i より成る基板 1 の上面に S i O<sub>2</sub>、等より成る絶縁層 2 を形成する。続いて S i H<sub>4</sub> ( モノシラン ) または S i<sub>2</sub> H<sub>6</sub> ( ジシラン ) を反応ガスとして用いて L P V C D 法又はプラズマ C V D 法等によって、絶縁層 2 の上面に非晶質シリコン薄膜 3 を例えば 4 0 n m の厚さに成膜する。

【 0 0 1 4 】 またこのとき、C V D 法によって基板 1 の上面に p o l y - S i ( 多結晶シリコン ) 層を形成し、その後形成した p o l y - S i に S i<sup>+</sup> をイオン注入し、この p o l y - S i 層を非晶質化して非晶質シリコン薄膜 3 を形成してもよい。或いは、基板 1 の上面に S i O<sub>2</sub>、等より成る絶縁層 2 を形成せずに、石英ガラス等により成る基板 1 に上述の工程と同様に C V D 法によって非晶質シリコン薄膜 3 を成膜することもできる。

【 0 0 1 5 】 その後例えば C V D 法によって非晶質シリコン薄膜 3 の上面に 5 0 0 n m 程度の厚さの例えば酸化シリコン層 4 a と 1 0 0 n m 程度の厚さのシリコン層 4 b とより成るマスク層 4 を形成する。この場合酸化シリコン層 4 a は、エキシマレーザ光を照射することによりこの上のシリコン層 4 b で熱変換されたエキシマレーザの熱を、このシリコン層 4 a によって十分に逃がすことができるようにその厚さを選定する。またシリコン層 4 a は、エキシマレーザが透過しない厚さに選定する。通常 8 0 n m 程度以上であれば良い。

【 0 0 1 6 】 その後フォトリソグラフィ等の適用によって、シリコン層 4 b の上面にレジスト ( 図示せず ) を塗布した後パターン露光、現像した後レジストパターンをマスクとして R I E ( 反応性イオンエッチング ) 等の異方性エッチングを行って酸化シリコン層 4 a 及びシリコン層 4 b より成るマスク層 4 をパターンニングして、結晶成長核を発生させる位置に開口 4 h を設ける。この開口 4 h は、後述の工程で形成する結晶成長核の中心部に例えば円形パターンとして形成し、その径は 0 . 8 μ m 程度以下とする。この径が 0 . 8 μ m 以上とされる場合は低温固相成長処理後に結晶成長する領域が多結晶シリコンとなる。

【 0 0 1 7 】 その後図 1 A において矢印 E で示すように、このマスク層 4 を介してエキシマレーザを非晶質シリコン薄膜 3 に照射する。エキシマレーザが開口 4 h を介して照射された部分には、図 1 B において ● で示すように、結晶成長核 5 が発生する。照射するエキシマレーザのエネルギー密度は、非晶質シリコン薄膜 3 の厚さに

対応してこの非晶質シリコン薄膜 3 が結晶化しないように選定する。例えば非晶質シリコン薄膜 3 の厚さが 4 0 n m の場合は例えば 6 0 m J / c m<sup>2</sup> とすることができ

【 0 0 1 8 】 そして次にマスク層 4 をウェットエッチング、プラズマエッチング等の非晶質シリコン薄膜 3 にダメージを与えない手段によって除去し、例えば電気炉を用いて窒素雰囲気中で 6 0 0 ℃ 4 0 時間の低温固相アニールを施して、図 1 B に示すように結晶成長核 5 を中心として単結晶領域 1 4、1 5 を有するシリコン薄膜 1 3 を形成する。6 は単結晶領域 1 4 及び 1 5 の間の粒界を示す。

【 0 0 1 9 】 そしてこの後、図 1 C に示すように、シリコン薄膜 1 3 上に S i O<sub>2</sub>、等の絶縁層 7 を形成し、この上に結晶成長核 5 からの間隔 Δ L を 1 ~ 2 μ m の例えば 1 μ m としてゲート電極 8 をフォトリソグラフィ等の適用によりパターンニング形成する。このようにしてゲート電極 8 の直下の活性領域 9 c となる部分に結晶成長核 5 が形成されず、従って単結晶領域内にこの活性領域 9 c が確実に含まれる構成とする。そして図示しないがゲート電極 9 の両側にイオン注入等を施してソース / ドレイン領域を形成して薄膜トランジスタを得ることができる。

【 0 0 2 0 】 即ち図 2 に示すように、この場合ソース領域 9 s に結晶成長核 5 が形成され、図 3 にその略線的拡大平面図を示すように、活性領域 9 c が確実に単結晶領域 1 4 に含まれるように形成される。この場合、ドレイン領域 9 d 内に結晶成長核 5 が形成される場合も同様に活性領域 9 c を単結晶領域とすることができる。

【 0 0 2 1 】 このようにして形成された単結晶領域内の活性領域 9 c は、均一性に優れた膜質となり、低リーク電流で且つキャリア移動度 μ が高く従って相互コンダクタンス g<sub>m</sub> の大なる薄膜トランジスタを得ることができる。またこの活性領域即ちチャネル領域に結晶粒界が存在しないのでトラップ密度を小としてスイング値の低減化をはかりオン電流を大とすることができると共に、リーク電流やしきい電圧のばらつきを抑制することができる。

【 0 0 2 2 】 尚、上述の例においてはエキシマレーザを照射して結晶成長核を形成したが、その他低濃度にシリコンイオンを注入した後選択的に高濃度にシリコンイオンを注入して結晶成長核を発生させる方法、又は電子ビームやイオンビームにより結晶成長核を発生させる方法等種々の方法を用いて薄膜トランジスタを形成する場合に適用することができることはいうまでもない。

【 0 0 2 3 】

【発明の効果】 上述したように本発明によれば、活性領域が確実に単結晶領域内に形成されるようにすることができ、低リーク電流、高キャリア移動度を得ることができ、また相互コンダクタンスを大としてスイング値の

低減化従ってオン電流の増大化をはかることができ、薄膜トランジスタの性能の向上をはかることができる。更にまたリーク電流やしきい電圧のばらつきを抑制して、信頼性の高い薄膜トランジスタを得ることができる。

【図面の簡単な説明】

【図 1】 薄膜トランジスタの製造方法の一例の製造工程図である。

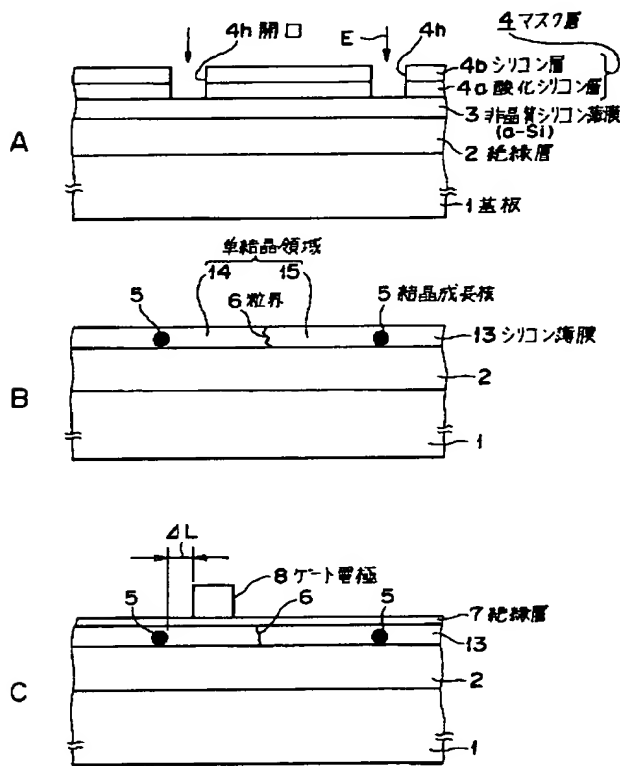
【図 2】 薄膜トランジスタの製造方法の一例の一製造工程図である。

【図 3】 薄膜トランジスタの一例の略線的拡大平面図である。

【符号の説明】

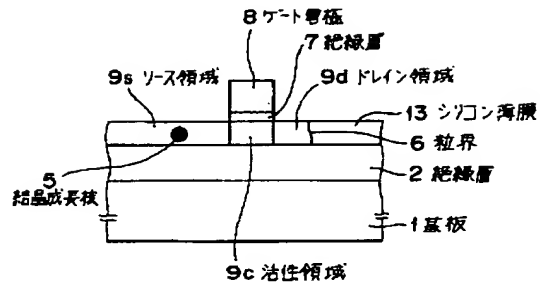
- 1 基板
- 2 絶縁層
- 3 非晶質シリコン薄膜
- 4 マスク層
- 5 結晶成長核
- 6 粒界
- 7 絶縁層
- 8 ゲート電極
- 9 c 活性領域
- 9 s ソース領域
- 9 d ドレイン領域
- 14 単結晶領域

【図 1】



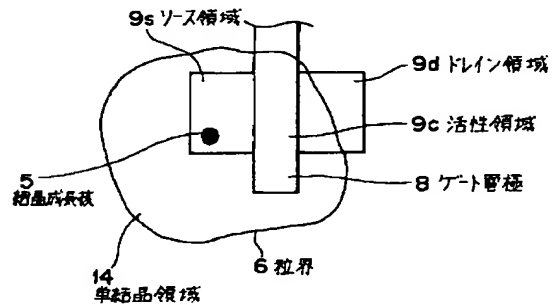
薄膜トランジスタの一例の製造工程図

【図 2】



薄膜トランジスタの製造方法の一例の一工程図

【図 3】



薄膜トランジスタの一例の平面図